

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-273243

(43)Date of publication of application : 20.10.1995

(51)Int.Cl.

H01L 23/12

H01L 21/60

H01L 21/82

H01L 23/15

(21)Application number : 06-060492

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.03.1994

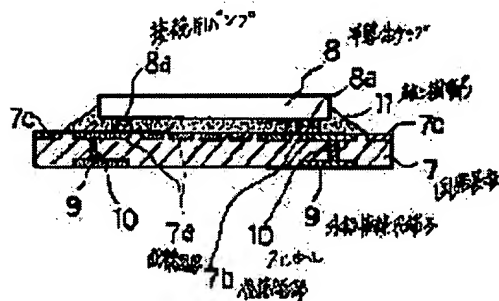
(72)Inventor : MAEDA HIDEAKI  
IWASAKI HIROSHI

## (54) SEMICONDUCTOR PACKAGE

### (57)Abstract:

**PURPOSE:** To provide a semiconductor package which is low in cost, compact in structure, and high in reliability.

**CONSTITUTION:** A semiconductor package is equipped with a board 7 provided with a wiring circuit 7a which includes a connector 7b formed on its primary surface, a semiconductor chip 8 mounted on the primary surface of the board 7 in a face-down manner, a resin layer 11 filled between the semiconductor chip 8 and the board 7, and a plane-type outer connection terminal 9 led out and exposed on the other primary surface of the board 7, wherein a dummy wiring pattern 7c is disposed, at least, on the peripheral edge of the primary surface of the board 7 or an inner wiring layer. The connector 7b of the board 7 and the electrode 8a of the semiconductor chip 8 are joined together by diffusion, or the plane-type outer connection terminals 9 led out and exposed on the other primary surface of the board 7 are arranged in grid at a regular pitch.



## LEGAL STATUS

[Date of request for examination] 02.11.1999

[Date of sending the examiner's decision of rejection] 13.11.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-273243

(43) 公開日 平成7年(1995)10月20日

(51) Int.Cl.<sup>6</sup> 識別記号 庁内整理番号 F I 技術表示箇所  
H 0 1 L 23/12  
21/60 3 1 1 S 6918-4M  
21/82

H 0 1 L 23/ 12 F  
21/ 82 R

審査請求 未請求 請求項の数5 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願平6-60492

(22) 出願日 平成6年(1994)3月30日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 前田 秀昭

神奈川県横浜市磯子区新磯子町33 株式会  
社東芝生産技術研究所内

(72) 発明者 岩崎 博

神奈川県横浜市磯子区新磯子町33 株式会  
社東芝生産技術研究所内

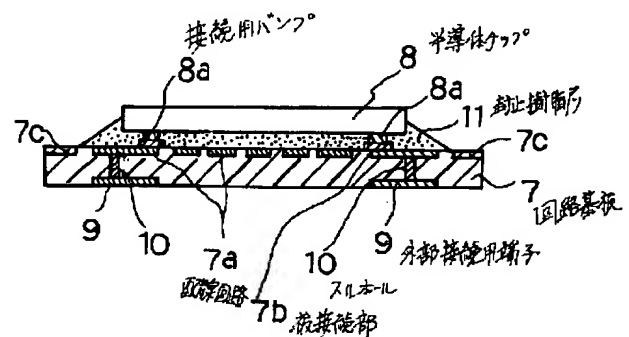
(74) 代理人 弁理士 須山 佐一

(54) 【発明の名称】 半導体パッケージ

(57) 【要約】

【目的】 低コスト化およびコンパクト化が可能で、かつ高信頼性を保証し得る半導体パッケージの提供を目的とする。

【構成】 一主面に被接続部7bを含む配線回路7aを備えた基板7と、前記基板7の一主面にフェースダウン型に実装された半導体チップ8と、前記半導体チップ8-基板7面間を充填する樹脂層11と、前記半導体チップ8に電気的に接続し、かつ基板7の他主面側に導出・露出された平面型の外部接続用端子9とを具備して成る半導体パッケージであって、前記基板7の一主面および内層配線層の少なくともいずれか一方の外周端縁部にダミー配線パターン7cを設置した構成を成すことを特徴とする。また、上記構成の半導体パッケージにおいて、基板7の被接続部7bおよび半導体チップ8の電極8aを拡散接合するか、あるいは基板7の他主面側に導出・露出させた平面型の外部接続用端子9を、低ピッチの格子状に配置していることを特徴とする。



## 【特許請求の範囲】

【請求項 1】 一主面に被接続部を含む配線回路を備えた基板と、前記基板の一主面にフェースダウン型に実装された半導体チップと、前記半導体チップー基板面間を充填する樹脂層と、前記半導体チップに電氣的に接続し、かつ基板の他主面側に導出・露出された平面型の外部接続用端子とを具備して成る半導体パッケージであって、

前記基板の一主面および内層配線層の少なくともいずれか一方の外周端縁部にダミー配線パターンを設置した構成を成すことを特徴とする半導体パッケージ。

【請求項 2】 一主面に被接続部を含む配線回路を備えた基板と、前記基板の一主面にフェースダウン型に実装された半導体チップと、前記半導体チップー基板面間を充填する樹脂層と、前記半導体チップに電氣的に接続し、かつ基板の他主面側に導出・露出された平面型の外部接続用端子とを具備して成る半導体パッケージであって、

前記基板の一主面および内層配線層の少なくともいずれか一方の外周端縁部にダミー配線パターンを設置した構成を採るとともに、前記基板の被接続部および半導体チップの電極部が拡散接合していることを特徴とする半導体パッケージ。

【請求項 3】 一主面に被接続部を含む配線回路を備えた基板と、前記基板の一主面にフェースダウン型に実装された半導体チップと、前記半導体チップー基板面間を充填する樹脂層と、前記半導体チップに電氣的に接続し、かつ基板の他主面側に、定ピッチの格子状に導出・露出された平面型の外部接続用端子とを具備して成る半導体パッケージであって、

前記基板の一主面および内層配線層の少なくともいずれか一方の外周端縁部にダミー配線パターンを設置した構成を成すことを特徴とする半導体パッケージ。

【請求項 4】 一主面に被接続部を含む配線回路を備えた基板と、前記基板の一主面にフェースダウン型に実装された半導体チップと、前記半導体チップー基板面間を充填する樹脂層と、前記半導体チップに電氣的に接続し、かつ基板の他主面側に、定ピッチの格子状に導出・露出された平面型の外部接続用端子とを具備して成る半導体パッケージであって、

前記基板の一主面および内層配線層の少なくともいずれか一方の外周端縁部にダミー配線パターンを設置した構成を採るとともに、前記基板の被接続部および半導体チップの電極部が拡散接合していることを特徴とする半導体パッケージ。

【請求項 5】 請求項 1、請求項 2、請求項 3 もしくは請求項 4 の記載において、ダミー配線パターンを外周端面から 2mm 以内の領域に設置していることを特徴とする半導体パッケージ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体パッケージに係り、たとえばカード型の外部記憶媒体などに適する小型で薄形の半導体パッケージに関する。

## 【0002】

【従来の技術】 各種のメモリカードの構成においては、カードの大きさや厚さなどに制約があるため、メモリ機能などに寄与する半導体パッケージの薄形化が要求されると同時に、また半導体チップ大に近い、可及的なコンパクト化が望まれる。

【0003】 このような薄形実装の要求、たとえば厚み方向に対して 1mm 以下のスペースに実装する必要性に対しては、フリップチップ実装、COB (Chip on Board) 法などが知られている。また、薄形パッケージとしては、たとえば図 5 に要部構成を断面的に示すごとく、所要の半導体チップ 1 を一主面に搭載・実装する回路基板 2 と、スルホール 3 を介して回路基板 2 の他主面側に導出された外部接続用端子 4 と、前記半導体チップ 1 などの実装領域面を封止・被覆するモールド樹脂層 5 とを具備した構成を採ったモジュールが知られている。そして、この種の薄形パッケージの構成においては、搭載・実装する半導体チップ 1 の外形寸法が、たとえば 15×5×0.25mm のとき、外形寸法が、20×10×0.2mm の回路基板 2 が選択されている。ここで、回路基板 2 としては、たとえばアルミナ、窒化アルミニウムなどを絶縁体としたものが使用されている。なお、図 5 において、6 はボンディングワイヤである。

## 【0004】

【発明が解決しようとする課題】 しかしながら、前記フリップチップ実装および COB 法の場合は、KGN (Known Good Die) をいかに確保するかが問題である。チップ状態でのバーンインの開発が難しく、使用する半導体チップについて、通常、予めバーンインを行い得ないので、信頼性上の問題がある。つまり、この種の半導体チップ (IC チップ) は、チップ自体として近い将来発現するであろう欠陥を検知するところの、いわゆるバーンインを行うことができない。したがって、実装・モジュール化後の実用初期段階で、トラブルを起こす可能性を秘めていることになり、信頼性の点で問題があるといえる。さらに、コンパクト化の点についてみると、COB 法の場合は、フリップチップ実装の場合に較べて広い実装面積を要するので、コンパクト化が阻害される。

【0005】 また、前記片面側モールドによるパッケージ化モジュールの場合は、一般的な (通常の) トランスファーモールド工程において、ボンディングワイヤ 6 の流れ発生や接続部の離脱発生などが起こり易く、信頼性および歩留まりの点で問題がある。加えて、ボンディングワイヤ 6 の高さも、現状では 0.1mm 以下に制御することが困難で、薄型パッケージを形成する上で障害になっている。また、ボンディングワイヤ 6 を、外部接続用端

## 3

子側と結線する際、半導体チップ外に余分なスペースを必要とし、コンパクト化を阻害している。

【0006】そして、このような構成の場合は、次のような問題が提起される。すなわち、前記半導体チップのモジュール化に当たっては、通常 0.2mm 程度の薄い方形（長方形を含む）のセラミック基板が支持基板として使用されが、前記のように比較的薄く機械的強度が劣っており、特に各角部では欠損や亀裂が発生し易いという問題がある。ここで、不所望な角部に欠損など発生すると、この種の半導体パッケージ（もしくは半導体モジュール）が、たとえば回路基板に装着するときの位置決め（もしくは方向決め）のため、一般的に一定の角部を意識的に切り欠いた位置決め用の切欠部との区別を困難化することになり、取扱いエラーの原因となる。

【0007】本発明は上記事情に対処してなされたもので、低コスト化およびコンパクト化が可能で、かつ高信頼性を保証し得る半導体パッケージの提供を目的とする。

【0008】

【課題を解決するための手段】本発明に係る第 1 の半導体パッケージは、一主面に被接続部を含む配線回路を備えた基板と、前記基板の一主面にフェースダウン型に実装された半導体チップと、前記半導体チップー基板面間を充填する樹脂層と、前記半導体チップに電気的に接続し、かつ基板の他主面側に導出・露出された平面型の外部接続用端子とを具備して成る半導体パッケージであって、

前記基板の一主面および内層配線層の少なくともいずれか一方の外周端縁部にダミー配線パターンを設置した構成を成すことを特徴とする。また、

本発明に係る第 2 の半導体パッケージは、一主面に被接続部を含む配線回路を備えた基板と、前記基板の一主面にフェースダウン型に実装された半導体チップと、前記半導体チップー基板面間を充填する樹脂層と、前記半導体チップに電気的に接続し、かつ基板の他主面側に導出・露出された平面型の外部接続用端子とを具備して成る半導体パッケージであって、

前記基板の一主面および内層配線層の少なくともいずれか一方の外周端縁部にダミー配線パターンを設置した構成を採るとともに、基板の被接続部および半導体チップの電極が拡散接合していることを特徴とする。

【0009】本発明に係る第 3 の半導体パッケージは、一主面に被接続部を含む配線回路を備えた基板と、前記基板の一主面にフェースダウン型に実装された半導体チップと、前記半導体チップー基板面間を充填する樹脂層と、前記半導体チップに電気的に接続し、かつ基板の他主面側に、定ピッチの格子状に導出・露出された平面型の外部接続用端子とを具備して成る半導体パッケージであって、

前記基板の一主面および内層配線層の少なくともいずれ

## 4

か一方の外周端縁部にダミー配線パターンを設置した構成を成すことを特徴とする。

【0010】さらに、本発明に係る第 4 の半導体パッケージは、前記各構成の半導体パッケージにおいて、ダミー配線パターンの設置位置を、外周端面より 2mm 以内の領域としたことを特徴とする。

【0011】本発明は、先ず、回路基板の一主面に被接続部を含む配線回路、回路基板の内層配線回路とは別に、それら配線回路を囲繞する形態を採って外周端縁部にダミー配線パターンを設置した樹脂系基板もしくはセラミック系基板の一主面（片面）に、半導体チップを実装した構成を採っている。加えて、実装した半導体チップ上面側のモールド封止樹脂層を省略し、その分、半導体パッケージのコンパクト化、薄型化を図りながら、前記ダミー配線パターンによって、反りの発生防止や機械的な強度アップを図ったことを骨子としている。

【0012】本発明において、半導体チップを搭載・実装する回路基板に設置するダミー配線パターンは、回路基板の一主面に形成された被接続部を含む配線回路、および／もしくは回路基板に内層配置された配線回路とは別個に、それらの配線回路を囲繞する形で、電気的に絶縁離隔させて外周端縁部の非回路形成領域に、たとえば 0.1～2mm 程度の幅で配置される。そして、この設置位置は、外周端面から 2mm 程度を超えない領域、つまり可及的に外周端縁面に隣接させることが好ましい。また、このダミー配線パターンは、前記一主面の配線回路を形成するとき、あるいは内層用の配線回路を形成する際に、同じ工程で形成することも可能である。

【0013】さらに、本発明に係る半導体パッケージにおいて、上記ダミー配線パターンを配置するとともに、回路基板の被接続部に対する半導体チップの電極（電極端子）を、それらを形成する金属、たとえば接続パッドー電極バンプ同士の拡散によって接合した場合は、より信頼性の高い電気的な接続など呈する。

【0014】さらにまた、回路基板裏面側に導出・露出させた平面型の外部接続用端子を定ピッチの格子状とした場合は、この種半導体パッケージを標準化することが可能になるし、また前記外部接続用端子の一部、たとえば外部接続用端子の配設が偏っている場合など、コーナー部にダミー接続用端子を設置しておくことにより、半導体パッケージの平面的な装着など行い易くなる。

【0015】

【作用】本発明に係る第 1 の半導体パッケージは、半導体チップ搭載・実装する薄い回路基板に、ダミーの配線パターンを外周端縁部に配置したことに伴い、前記薄い回路基板の割れ易さや反りの発生が容易に抑えられるとともに、一方ではノイズの防止などいわゆるシールド効果を呈する。加えて、半導体チップー回路基板面間を充填する樹脂層による半導体チップの緻密な封装も容易に確保され、保護・安定化（信頼性などの向上）とともに

に、薄形化、コンパクト化も容易に達成されることになる。

【0016】本発明に係る第2の半導体パッケージの場合は、回路基板の外周端縁部にダミーの配線パターンを配置・設定したのに加えて、外部接続用端子が定ピッチの格子状に設置されているので、前記外的な作用による基板の破損、損傷などの抑制、防止、および信頼性などが向上・改善されるだけでなく、回路基板に対する半導体チップの電気的な接続、および機械的な固定などさらに確実になされるので、信頼性の向上に寄与することになる。

【0017】本発明に係る第3の半導体パッケージの場合は、回路基板の外周端縁部にダミーの配線パターンを配置・設定したのに加えて、外部接続用端子が定ピッチの格子状に設置されているので、前記外的な作用による基板の破損、損傷などの抑制、防止、および信頼性などが向上・改善されるだけでなく、半導体ソケットや実装用回路板の被接続を標準化し得るので、生産性の向上やコストダウンも図り得ることになる。さらに、ダミー接続用端子を設置した場合は、被実装用回路基板面に半導体パッケージを装着・接続する際、容易に平面的な位置だし・装着し得るだけでなく、電気的な接続も確実になされることになる。

【0018】

【実施例】以下図1、図2、図3および図4を参照して本発明の実施例を説明する。

【0019】図1は、本発明に係る半導体パッケージの要部構成例を示す断面図であり、7は一主面に被接続部を含む配線回路を備えた長さ17mm、幅7mm、厚さ0.2mmの回路基板、8は前記回路基板7の一主面に搭載・実装された長さ15mm、幅5mm、厚さ0.25mmの半導体チップ（ICチップなど）である。図2は、前記回路基板7の一主面に形成されている配線回路例などを示したもので、7aは配線回路パターン、7bは銀ペーストから成る被接続部、7cは前記配線回路パターン7aの外周端縁部に配置されたダミーの配線パターンであり、この構成例の場合、ダミーの配線パターン7cは、外周端面からほぼ2mm以内の外周端縁部にベタ型パターンを成して形成されている。なお、前記回路基板7としては、たとえばアルミナ系基板、窒化アルミニウム系基板、ガラス・エポキシ樹脂系、BTレジン系などが、一般的に使用される。

【0020】また、9は前記回路基板7のスルホール10を介して、回路基板7の他主面側に、たとえば、一定ピッチ（1mm）の格子状配列に導出された平面型の直径0.5mmの外部接続用端子である。そして、前記回路基板7面と搭載・実装された半導体チップ8下面との間隙部には、封止樹脂層11が充填・形成されて接合一体化など補強されている。なお、図1において、8aは接続用バン

【0021】次に、上記構成の半導体パッケージの製造

例を説明する。

【0022】まず、図2に一主面側の形態を示すような回路基板7、すなわち片面に（一主面に）フリップチップ実装用の被接続部7bを含む回路配線7a、およびベタ型のダミーの配線パターン7cを有し、かつ前記接続パッド7bの配線7aからスルホール（図示せず）を介して裏面（他主面）に平面型の外部接続用端子（図示せず）を、一定ピッチの格子状配列に導出した構成のアルミナ系回路基板7を用意する。このアルミナ系回路基板7は、長さ17mm、幅7mm、厚さ0.2mmで、長さ15mm、幅5mm、厚さ0.25mmの半導体チップ8をフェースダウン型に搭載・実装するものである。

【0023】次いで、前記アルミナ系回路基板7を、たとえば真空吸着機構付きのスクリーン印刷機のステージ上に固定し、前記半導体チップ8の電極（接続用）パッド8aに対応するアルミナ系基板7上の被接続部7bに接続パッドを形成する。すなわち、半導体チップ8の電極パッド（たとえば、 $100 \times 100 \mu\text{m}$ ）8aに対応する開口（たとえば、 $150 \times 150 \mu\text{m}$ ）を有するメタルマスクを用いて、アルミナ系回路基板7の一主面に銀ペースト（たとえば銀の粒径 $1 \mu\text{m}$ 、粘度1000ps）をスクリーン印刷し、被接続部面上に直径 $150 \mu\text{m}$ 、高さ約 $80 \mu\text{m}$ の接続用パッド7bを形成する。一方、電極パッド面上に、電気メッキによって接続用の金バンプ8a、あるいはボールボンディング法によって金のボールバンプ（たとえば、高さ $30 \mu\text{m}$ 、 $100 \times 100 \mu\text{m}$ ）8aを形成した半導体チップ8を用意する。

【0024】前記アルミナ系基板7の一主面で、前記半導体チップ8を互に対応する接続用パッドおよび接続用の金バンプを位置合わせ、配置し、前記アルミナ系基板7および半導体チップ8を対応、位置合わせした被接続部同士を加圧することにより、接続パッド7bに接続バンプ8aの少なくとも先端部を埋め込む形に圧入して固定接続し、半導体パッケージを組み立てる。この状態で、前記接続パッド7bを成す銀ペーストを熱硬化させることによって、いわゆるフリップチップボンディングした。

【0025】その後、封止樹脂による処理を行う。すなわち、前記アルミナ系基板7の周辺部の露出領域面的一端側に、封止用樹脂（たとえば粘度の低いエポキシ樹脂）を滴下してから $60 \sim 80^\circ\text{C}$ 程度に加温し、半導体チップ8下面とアルミナ系基板7上面との間隙部に、その間隙部的一端側から毛細管現象を利用して封止用樹脂を流し込み、充填する。この樹脂処理においては、前記間隙部に対する十分な樹脂11の充填とともに、半導体チップ8の側面部に一部が回り込む形にすることが好ましい。このようにして、所要の樹脂処理を行った後、前記充填させた樹脂を熱などで硬化（固化）させることにより、前記図1に断面的に示すとき構成を採った半導体パッケージが得られる。なお、アルミナ系基板7面の配線7aをアルミナ系基板7と同一平面を成すように埋め込んだ

7

形に設定しておく、前記樹脂の充填作業などさらに容易に行い得る。

【0026】ここで、半導体パッケージの半導体チップ8は、前記充填した樹脂層11によって、アルミナ系基板7面に対する固定化などが、さらに良好になされるばかりでなく、半導体チップ8のアルミナ系回路基板7面に対する絶縁保護なども図られる。一方、半導体チップ8は、その上面が露出しているが、半導体チップ8の露出面は素材であるシリコンが緻密で堅牢なため、表面保護され、かかる点による信頼性などは問題にならないことも確認された。また、前記半導体チップ8周辺部は確実、かつ緻密に樹脂封止されているため、アルミナ系基板7に対して強固な接合も確保され、信頼性の高い半導体パッケージとして機能するものであった。さらに、この半導体パッケージは、回路基板7の一主面の外周端縁部に形成・配置されたベタ型パターン7cの補強的な作用によって、高々0.2~0.3mm程度の薄板型でありながら、割れの発生や反りの発生などが効果的に抑制されており、歩留まりよく得られるとともに、取扱い作業なども簡便であった。しかも、この半導体パッケージをメモリーカードの機能部として使用したところ、ノイズ対策も良好であることも確認された。

【0027】なお、上記では、回路基板7として、外形が長方形のアルミナ系基板を用いた構成例を説明したが、図3に一主面側の形態を示すごとく、フリップチップ実装用の被接続部7bを含む回路配線7a、およびベタ型のダミーの配線パターン7cを有し、かつ前記接続パッド7bの配線7aからスルホール（図示せず）を介して裏面（他主面）に平面型の外部接続用端子（図示せず）を導出した構成のアルミナ系回路基板7を用いた構成、あるいは前記ベタ型のダミーの配線パターン7cを、回路基板7の一主面に配設する代わりに、回路基板7に内層・配設アルミナ系回路基板7を用いた構成でも、同様の結果が認められた

#### 実施例2

図2に平面的に示すごとく、一主面に金から成る接続パッドを備えたフリップチップ実装用の被接続部7bを含む回路配線7a、およびベタ型のダミーの配線パターン7cを有し、かつ前記接続パッド7bの配線7aからスルホール

（図示せず）を介して裏面（他主面）に、平面型の外部接続用端子（図示せず）が、一定ピッチの格子状配列に導出・配置されたアルミナ系基板（もしくは窒化アルミ系基板）7を用意した。一方、電極パッド面に電気めっき法（もしくはボールボンディング法）で金バンプ（高さ30 $\mu$ m、大きさ100 $\times$ 100 $\mu$ m）を設けた半導体チップ8を用意した。なお、前記アルミナ系基板7は、長さ17mm、幅7mm、厚さ0.2mmの外形を成し、フリップチップ（半導体チップ）は、長さ15mm、幅5mm、厚さ0.25mmの外形であり、このフリップチップはフェースダウン型に搭載・実装される。次いで、前記アルミナ系基板7お

8

よびフリップチップを、フリップチップボンダーのステージ面上に位置決め、配置した。つまり、アルミナ系基板7を真空吸着させてから、アルミナ系基板7の金製の接続パッド7bに、フリップチップの電極パッド面に形成した金バンプを位置合わせして・配置したした後、接続パッド7bおよび金バンプの被接続部を密着させるため、フリップチップの上から荷重（加圧）を加えた状態のまま、100~150℃程度に30~120分間加熱維持して、前記接続パッド7bおよび金バンプを相互の拡散によって接合・一体化させた。その後、アルミナ系基板7とフリップチップとの間に、前記実施例1の場合と同様の条件で封止樹脂を充填処理した。前記樹脂の充填処理においては、温度を適宜上げると毛細管現象が促進されて、より容易に樹脂の充填処理を行い得る。こうして、所要の樹脂充填処理を行った後、加熱処理を施して、前記充填樹脂を硬化させることにより、アルミナ系基板7面にフリップチップが固定・保持された半導体パッケージを製造した。

【0028】なお、上記構成において、基板7裏面側に導出、配置された平板型の外部接続端子は、ランダムであってもよいが、定ピッチの格子状配列が標準化などの点で好ましく、また、図4に平面的に示すごとく、外郭側の余裕を比較的大きく採った構成などの場合、所要の平板型の外部接続端子9の外に、各コーナー部にダミーの外部接続用端子9'を配設した構成を採ってもよい。さらに詳述すると、平板型の外部接続端子の格子状配列は、相対的に一定ピッチの格子状配列を採りながら、外部接続端子数によって、その配列形態を任意に選択できる。そして、基板裏面側をほぼ一様な高さに維持（保持）して、全体的に接続の信頼性をさらに上げることを考慮すると、少なくとも各コーナー（角）部を含む、前記平板型の外部接続端子の導出、配置を避けた領域に、ダミーの外部接続用端子9'を含めて外部接続端子9を導出、配置しておくことが好ましい。

#### 【0029】

【発明の効果】上記説明から分かるように、本発明に係る半導体パッケージは、半導体チップ搭載・実装する薄い回路基板に、ダミーの配線パターンを外周端縁部に配置したことに伴い、前記薄い回路基板の割れ易さや反りの発生が容易に抑えられるとともに、一方ではノイズの防止などいわゆるシールド効果を呈する。加えて、半導体チップー回路基板面間を充填する樹脂層による半導体チップの緻密な封装も容易に確保され、保護・安定化（信頼性などの向上）とともに、薄形化、コンパクト化も容易に達成されることになる。さらに、回路基板の外周端縁部にダミーの配線パターンを配置・設定したのに加えて、電気的な接続を拡散・接合で行った場合には、前記外的な作用による基板の破損、損傷などの抑制、防止、および信頼性などが向上・改善されるだけでなく、回路基板に対する半導体チップの電気的な接続、および

9

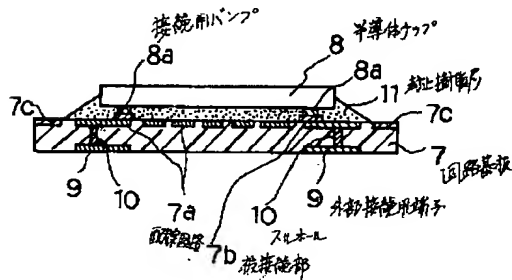
機械的な固定などさらに確実になされるので、信頼性の向上に寄与することになる。さらにまた、外部接続用端子を定ピッチの格子状に設置した場合も同様に、外的な作用による基板の破損、損傷などの抑制、防止、および信頼性などが向上・改善されるだけでなく、半導体ソケットや実装用回路板の被接続を標準化し得るので、生産性の向上やコストダウンも図り得ることになり、ダミー接続用端子を設置した場合は、被実装用回路基板面に半導体パッケージを装着・接続する際、容易に平面的な位置だし・装着し得るだけでなく、電気的な接続も確実に

【図面の簡単な説明】

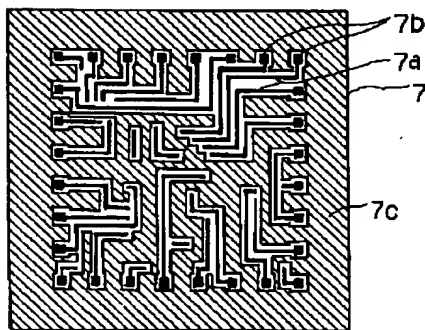
【図1】本発明に係る半導体パッケージの要部構成例を示す断面図。

【図2】本発明に係る半導体パッケージの要部構成例に

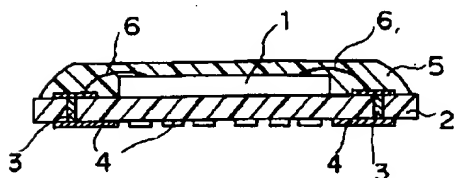
【図1】



【図3】



【図5】



10

において、半導体チップを搭載・実装する回路基板面のパターン例を示す平面図。

【図3】本発明に係る半導体パッケージの要部構成例において、半導体チップを搭載・実装する他の回路基板面のパターン例を示す平面図。

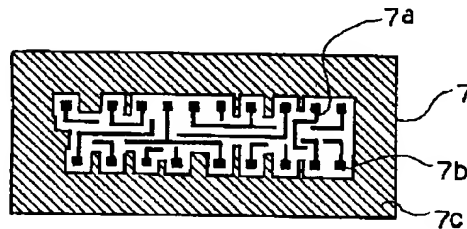
【図4】本発明に係る半導体パッケージの平面型の外部接続用端子の配列例を示す平面図。

【図5】従来の半導体パッケージの要部構成を示す断面図。

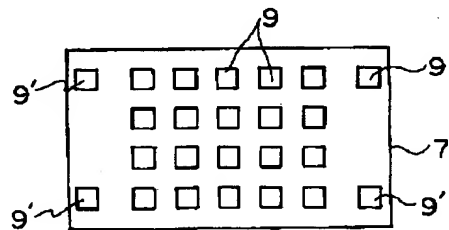
10 【符号の説明】

1, 8…半導体チップ 2, 7…回路基板 3, 10…スルホール 4, 9…平面型の外部接続用端子  
5…モールド樹脂層 6…ボンディングワイヤ 7a…配線回路 7b…被接続部 7c…ダミー配線パターン  
8a…接続用パンプ 9'…ダミーの外部接続用端子 11…封止樹脂層

【図2】



【図4】





フロントページの続き

(51) Int. Cl. <sup>6</sup>

H 0 1 L 23/15

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 23/12

Q

23/14

C